

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-26055 (A) (43) 29.1.1990 (19) JP

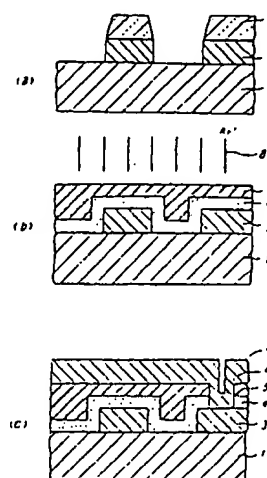
(21) Appl. No. 63-175976 (22) 14.7.1988

(71) MATSUSHITA ELECTRON CORP (72) HIDETO OZAKI

(51) Int. Cl. H01L21/90, H01L21/312

PURPOSE: To prevent generation of a large amount of heat stress which causes cracks to be produced by forming an insulation film on a semiconductor substrate, coating a coating insulation film on it and dry it, and then performing ion implantation of impurities into this coating insulation film and then heat treating.

CONSTITUTION: A conductor film is formed on a semiconductor substrate 1, a specified resist pattern 2 is formed on this conductor film, dry etching is performed with this resist pattern as a mask to form a conductor film pattern 3, and then the resist pattern is eliminated. Then, an insulation film 4 is formed on the semiconductor substrate 1, a coating insulation film 5 is coated on this insulation film 4, and then it is dried. Then, through a process for performing heat treatment by performing ion implantation 8 of impurities to this coating insulation film 5, the surface of the semiconductor substrate becomes flat. It allows a damage layer to be formed on the coating insulation film 5, relaxes stress produced when performing heat treating after performing ion implantation 8, and then a thick coating insulator without any cracks can be fully polymerized and condensed.

**(54) SEMICONDUCTOR DEVICE**

(11) 2-26056 (A) (43) 29.1.1990 (19) JP

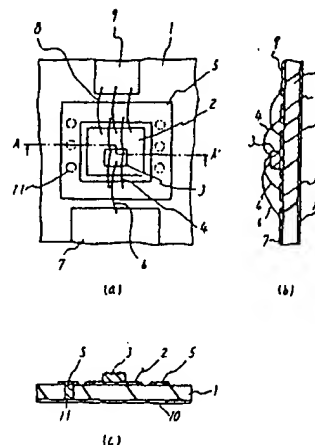
(21) Appl. No. 63-176624 (22) 14.7.1988

(71) NEC CORP (72) KOICHI KOMATSU

(51) Int. Cl. H01L23/12

PURPOSE: To reduce grounding inductance of an emitter and improve gain of a semiconductor device by providing a first conductor layer where a transistor chip is mounted and a second conductor layer which surrounds the periphery to connect the emitter of transistor chip and the second conductor layer with a metal wire.

CONSTITUTION: A first conductor layer 2 with a transistor chip 3, a second conductor layer 5 which is provided on the upper surface of an insulation substrate 1 surrounding the periphery of the conductor layer 2 and is connected to the emitter of the transistor chip 3 with a metal wire 4, a fourth conductor layer 9 which is provided on the upper surface of the insulation substrate 1 at the outside of the conductor layer 5 and is connected by the conductor layer 2 and a metal wire 8, a fifth conductor layer 18 provided on the lower surface of the insulation substrate 1, and a through hole 11 which is provided through the insulation substrate 1 and connects the conductor layer 5 and the conductor layer 10 electrically are provided. It reduces grounding inductance of emitter and improves the gain of a semiconductor device.



6: metal wire. 7: conductor layer

(54) HEAT RADIATION PLATE

(11) 2-26057 (A) (43) 29.1.1990 (19) JP

(21) Appl. No. 63-175122 (22) 15.7.1988

(71) JAPAN SYNTHETIC RUBBER CO LTD (72) MITSUO KIMURA(3)

(51) Int. Cl. H01L23/373, C30B29/04, H01S3/18//F28F3/00

PURPOSE: To obtain an improved heat conduction by forming a diamond-shaped substance layer on a substrate consisting of dispersion strengthened type alloy made by dispersing a metal oxide particle into a matrix of copper or copper alloy.

CONSTITUTION: A substrate consists of a dispersion strengthened type alloy made by dispersion a metal oxide particle into a matrix of copper or copper alloy. Copper alloy constituting this matrix is an alloy which mainly consists of copper such as Cu-Al and Cu-Zn. Then, a diamond-shaped substance layer is formed on a substrate consisting of a dispersion strengthened type alloy and the formation of this diamond-shape substance layer is performed by the gaseous phase growth method. It achieves a high coherency between the substrate and the diamond-shaped substance layer even after heating cycle history, thus obtaining an improved heat conduction as a whole.

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A) 平2-26055

⑬ Int. Cl. ⁸

H 01 L 21/90
21/312

識別記号

S
N

庁内整理番号

6824-5F
6824-5F

⑬ 公開 平成2年(1990)1月29日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭63-175976

⑯ 出 願 昭63(1988)7月14日

⑰ 発 明 者 尾 崎 秀 人 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑱ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 森本 義弘

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 半導体素子が作り込まれた半導体基板上に導体膜を形成したのちに同導体膜上に所定のレジストパターンを形成する工程と、同レジストパターンをマスクにして前記導体膜にドライエッチングをほどこしパターンを形成する工程と、前記レジストパターンを除去する工程と、前記半導体基板上に絶縁膜を形成する工程と、同絶縁膜上に塗布絶縁膜を塗布する工程と、同塗布絶縁膜を乾燥させる工程と、同塗布絶縁膜に不純物をイオン注入して熱処理する工程とを経て、前記半導体基板の表面の凹凸を平坦にする半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、多層配線構造を得るに好適な半導体装置の製造方法に関する。

従来の技術

デバイスの高集積化、高速化を図るため、多層配線構造を備えたものが増えている。多層配線構造を実現するには、上層配線と下層配線の間に電氣的絶縁と下層配線の凹凸を抑制するための平坦化とが可能な層間絶縁膜を設けることが必要である。

従来の多層配線構造を実現するにあたり、層間絶縁膜として塗布方式により形成する絶縁膜を採用した従来の半導体装置の製造方法を第2図(a)～(c)の工程図を参照して説明する。なお、第2図はアルミニウム (Al) の二層配線の製造工程を示しており、簡明化のため半導体素子領域と平坦化領域は示していない。

この製造方法では、まず、半導体基板1の中に作り込まれた半導体素子(図中には示されていない)を相互接続するために、Al合金膜などからなる膜厚0.8 μ mの導体膜をスパッタリングなどで形成し、さらに、所定のレジストパターン2を形成したのち、ドライエッチングをほどこして下

層配線3を形成する(第2図(a))。この後、レジストパターン2を除去し、450℃程度の熱処理を30分間ほどこすことによって、半導体素子を安定化させる。そのうち、ヒロックと称される下層配線3の突起などにより生じる層間絶縁膜の電気的耐圧の劣化を防止するため、プラズマCVD法による酸化シリコン膜などを、CVD層間絶縁膜4として0.5 μ mの厚さに堆積する。

次に、下層配線3によって生じた半導体基板1の表面の凹凸を平坦にするため、(下層配線上の膜厚が0.1 μ mの)塗布絶縁膜5を回転塗布し、塗布絶縁膜5中の溶剤を除くため200℃の熱乾燥処理を30分間ほどこす。引き続き、塗布絶縁膜5の重重合を生じさせるため、450℃の熱処理を30分間ほどこす(第2図(b))。

最後に、下層配線3の上に形成されたCVD層間絶縁膜4と塗布絶縁膜5にスルーホール6を開孔し、上層配線7を第2図(a)と同様な工程を経て形成する(第2図(c))。以上の工程を経て半導体基板1上に二層配線が形成される。

を目的とする。

課題を解決するための手段

上記目的を達成するため本発明の半導体装置の製造方法は、半導体素子が作り込まれた半導体基板上に導体膜を形成したのちに同導体膜上に所定のレジストパターンを形成する工程と、同レジストパターンをマスクにして前記導体膜にドライエッチングをほどこしパターンを形成する工程と、前記レジストパターンを除去する工程と、前記半導体基板上に絶縁膜を形成する工程と、同絶縁膜上に塗布絶縁膜を塗布する工程と、同塗布絶縁膜を乾燥させる工程と、同塗布絶縁膜に不純物をイオン注入して熱処理する工程とを経て、前記半導体基板の表面の凹凸を平坦にするものである。

作用

すなわち、本発明の製造方法によれば、塗布絶縁膜に不純物イオンを注入することにより、塗布絶縁膜にダメージ層が形成されて、このイオン注入後の熱処理時に生じる応力が緩和される。また、このダメージ層により、重重合(イオン注入後の

発明が解決しようとする課題

しかしながら、配線の微細化にともない隣り合う下層配線3間のスペースが狭くなると、配線の段差形状をなだらかにする塗布絶縁膜4の形成とステップカバレッジが比較的良好なスパッタ蒸着法とを用いても、段差部に均一な厚さの導体膜を形成することが困難となり、上層配線7の信頼性の低下を招く。なお、下層配線3の段差形状は、下層配線3の膜厚を薄くすること、あるいは、塗布絶縁膜4を厚くすることによって緩和されるが、前者の対策をほどこすと配線抵抗の増加ならびにストレス、エレクトロマイグレーションなどによる信頼性の低下を招く。一方、後者の対策をほどこすと塗布絶縁膜5の塗布後における熱処理の際にこの塗布絶縁膜5に生じる熱応力でクラックが発生する。このような問題を含む従来の製造方法では、配線パターンの微細化に限界がある。

そこで本発明はこのような問題点を解決し、塗布絶縁膜にクラックの原因となるような大きな熱応力が発生することを防止できるようにすること

熱処理)で生じるガス成分の外向き拡散が促進される。したがって、クラックを生じることなしに厚い塗布絶縁膜が充分に重重合され、電気的に安定な膜になる。

実施例

本発明にかかる半導体装置の製造方法の一実施例を第1図(a)～(c)の工程順図を参照して説明する。なお、簡明化のために図中にはAと二層配線部分のみを示し、半導体素子領域や平坦化領域は示していない。

本発明の製造方法でも、まず半導体基板1の中に作り込まれた半導体素子領域(図示されていない)を相互接続するために、Aと合金膜からなる膜厚0.8 μ mの導体膜をスパッタ蒸着で形成し、さらに、所定のレジストパターン2を形成したのち、ドライエッチングをほどこして下層配線3を形成する(第1図(a))。

この後、レジストパターン2を除去し、450℃程度の熱処理を30分間ほどこして、半導体素子の特性を安定させたのち、プラズマCVD法による

酸化シリコン膜などをCVD層間絶縁膜4として、 $0.5\mu\text{m}$ の厚さに堆積する。

次に、下層配線3によって生じた半導体基板1の表面の凹凸を平坦にするため、(下層配線上の膜厚が $0.2\mu\text{m}$ の)塩布絶縁膜4を回転塗布し、塩布絶縁膜5中の溶剤を除き、重縮合を行うため 350°C の熱処理を30分間ほど行う。この処理後に、アルゴンイオン8を加速電圧 120eV 、ドーズ量 $1\times 10^{16}/\text{cm}^2$ で塩布絶縁膜4に注入し、この塩布絶縁膜4の重縮合を促進するため熱処理を 450°C で30分間ほどこす。

このイオン注入を導入することにより、塩布絶縁膜4にダメージ層を形成し、イオン注入後の熱処理時に生じる応力(ひずみ)を緩和することができる。また、このダメージ層により重縮合(イオン注入後の熱処理)で生じるガス成分(H_2O など)の外向拡散が促進する。したがって、クラックを生じることなく、厚い塩布絶縁膜5を充分に重縮合させ、電気的に安定な膜にすることができる。このイオン注入には、アルゴンイオンに限

らず、他の不活性ガスイオン、酸素イオン、シリコンイオンもしくは半導体基板に含まれる不純物イオンなど塩布絶縁膜4にダメージ層を形成できるものであればよい(第1図(b))。

次に、従来の技術に関連して記載したように、周知の方法でAと二層配線構造を形成する。すなわち、下層配線3の上に形成されたCVD層間絶縁膜4と塩布絶縁膜5にスルーホール6を開孔し、上層配線7を第1図(a)と同様な工程を経て形成する(第1図(c))。

以上の工程を経て本発明の製造方法による二層配線構造が形成される。

以上の実施例による多層配線構造では、塩布絶縁膜5の厚膜化により上層配線のステップカバレッジは大幅に改善され、配線の不良を防止することができる。

なお、本実施例では単層構造の塩布絶縁膜5について説明したが同様に二層以上の構造を有する塩布絶縁膜にも実施すれば、さらに上層配線のステップカバレッジを向上させることができる。塩

布絶縁膜5は、シラノール化合物を含む有機溶剤の塗布とその後の熱処理によって形成されるものである。

また、配線についても、アルミニウム合金膜に限られるものではなく、たとえば、アルミニウム膜、多結晶シリコン膜、シリサイド膜もしくは高融点金属膜などであればよい。

発明の効果

以上説明したように、本発明の半導体装置の製造方法によれば、塩布絶縁膜に不純物イオンを注入してダメージ層を形成し、このイオン注入後の熱処理時に生じる応力を緩和するものであるため、塩布絶縁膜を厚くすることが可能となって上層配線の断線を防止することができ、半導体装置の信頼性を向上させる効果が奏される。

4. 図面の簡単な説明

第1図(a)～(c)は本発明にかかる半導体装置の製造方法の一実施例を示す工程図、第2図(a)～(c)は従来の半導体装置の製造方法の工程図である。

1…半導体基板、2…レジストパターン、3…下層配線、4…CVD層間絶縁膜、5…塩布絶縁膜、8…アルゴンイオン。

代理人 森 本 義 弘

図 1

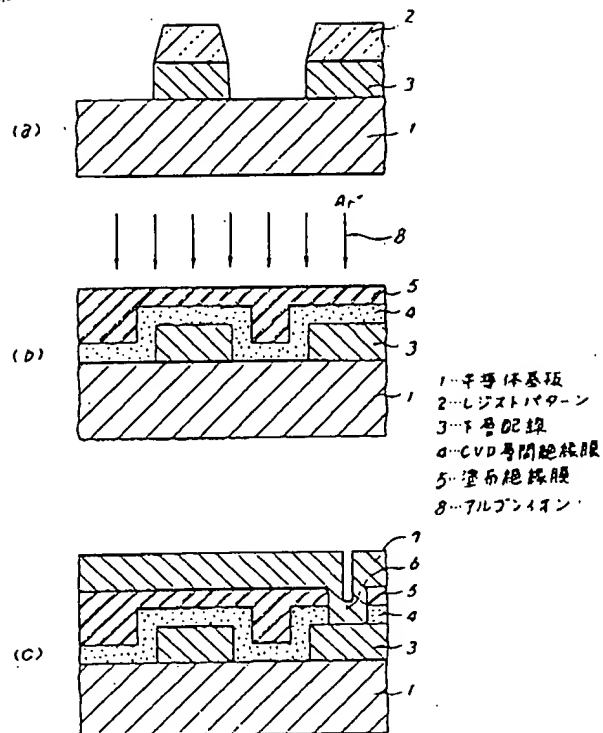


図 2

